

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

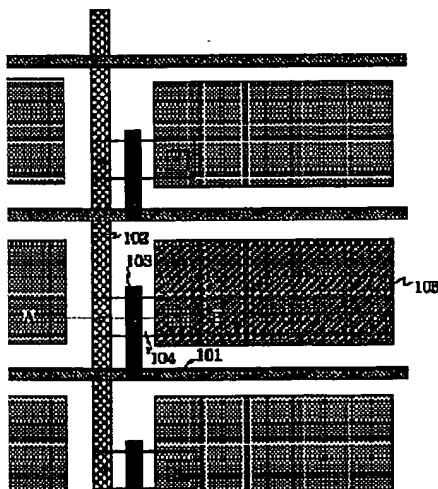
DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

04281892 **Image available**

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION

PUB. NO.: 05-273592 JP 5273592 A]
PUBLISHED: October 22, 1993 (19931022)
INVENTOR(s): SUGAWA SHIGETOSHI
WATANABE TAKANORI
KOUCHI TETSUNOBU
KONDO SHIGEKI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 04-359794 [JP 92359794]
FILED: December 29, 1992 (19921229)
INTL CLASS: [5] G02F-001/136; G02F-001/1343; H01L-027/12; H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)
JOURNAL: Section: P, Section No. 1682, Vol. 18, No. 48, Pg. 103,
January 25, 1994 (19940125)
ABSTRACT
PURPOSE: To improve an opening rate and the stability of picture element
signals by forming the electrodes on a common side of holding capacitors
with common wirings over the entire surface or across plural rows and
columns.

CONSTITUTION: Signal lines 102 are connected to the source side of picture
element transistors. Second transparent electrode are formed over the
entire surface of the picture elements so as to form the holding capacitors
in a pair with first transparent electrode 105 under the first transparent
electrode 105. The second transparent electrode on the respective adjacent
picture elements are connected to each other and the potentials thereof are
taken by a VCOM on the circumference of the panel. The first transparent
electrode 105 are connected to the drain sides of the picture element TRs
through the holes opened in the second transparent electrode. Then, video
signals are transferred to the picture elements, the gates of which are
held turned on, by successively impressing the voltages to turn on the
gates to gate wirings 101 and inputting the video signals to the signal
wirings 102.



THIS PAGE BLANK (USPTO)

DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

009678009 **Image available**

WPI Acc No: 1993-371563/199347

XRPX Acc No: N93-286902

**Active matrix type liquid crystal display element - has whole or several
lines and rows of holding capacity side common electrode formed using
common wiring NoAbstract**

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5273592	A	19931022	JP 92359794	A	19921229	199347 B

Priority Applications (No Type Date): JP 9216521 A 19920131

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5273592	A		9	G02F-001/136	

Abstract (Basic): JP 5273592 A

Dwg.1/15

Title Terms: ACTIVE; MATRIX; TYPE; LIQUID; CRYSTAL; DISPLAY; ELEMENT; WHOLE
; LINE; ROW; HOLD; CAPACITY; SIDE; COMMON; ELECTRODE; FORMING; COMMON;
WIRE; NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-027/12;
H01L-029/784

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): U14-H01A; U14-K01A2B

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-273592

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F 1	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A			
29/784				
	9056-4M	H 0 1 L 29/78	3 1 1 A	
		審査請求 未請求 請求項の数15(全 9 頁)		

(21) 出願番号 特願平4-359794

(22) 出願日 平成4年(1992)12月29日

(31) 優先権主張番号 特願平4-16521

(32) 優先日 平4(1992)1月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 須川 成利

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 渡邊 高典

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

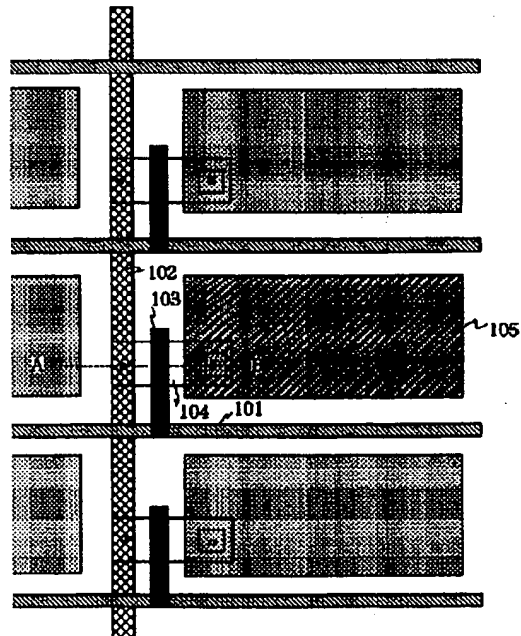
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示素子及びその製造方法

(57) 【要約】

【構成】 液晶表示素子の各画素をアクティブマトリクス素子によって駆動するアクティブマトリクス型液晶表示素子であって、保持容量の共通側の電極を、全面もしくは、複数の行及び列にまたがって、共通の配線で形成したことを特徴とするアクティブマトリクス型液晶表示素子。

【効果】 開口率を損なうことなく共通配線の低抵抗化が行なえ、更には開口率の向上と保持容量の増大による画素信号の安定性の向上を図ることができる。



【特許請求の範囲】

【請求項1】 液晶表示素子の各画素をアクティブマトリクス素子によって駆動するアクティブマトリクス型液晶表示素子であって、保持容量の共通側の電極を、全面もしくは、複数の行及び列にまたがって、共通の配線で形成したことを特徴とするアクティブマトリクス型液晶表示素子。

【請求項2】 前記共通配線が、透明電極によって形成されている請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項3】 前記共通配線が、ゲート材料と同じ材料によって形成されている請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項4】 前記共通配線が、拡散層によって形成されている請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項5】 画素電極が画素トランジスタ、画素トランジスタのゲートと重なりをもつ請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項6】 前記保持容量の両側電極が透明電極によって形成されており、かつ両透明電極間に形成される膜の屈折率が透明電極の屈折率とほぼ同等である請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項7】 液晶表示素子の各画素をアクティブマトリクス素子によって駆動するアクティブマトリクス型液晶表示素子の製造方法において、保持容量の共通側の電極を、全面もしくは、複数の行及び列にまたがって、共通の配線で形成することを特徴とするアクティブマトリクス型液晶表示素子の製造方法。

【請求項8】 前記共通配線を、透明電極で形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項9】 前記共通配線を、ゲート材料と同じ材料によって形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項10】 前記共通配線を、拡散層によって形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項11】 前記保持容量の両側電極を透明電極によって形成し、かつ両透明電極間に、透明電極の屈折率とほぼ同等の屈折率を有する膜を形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項12】 保持容量を形成している電極材料のどちらか一方と同じ金属で共通配線を形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項13】 共通配線及び保持容量の片側の電極を、透明電極によって同時に形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項14】 共通配線及び保持容量の片側の電極

を、ゲート材料によって同時に形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【請求項15】 共通配線及び保持容量の片側の電極を、拡散層によって同時に形成する請求項7に記載のアクティブマトリクス型液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス素子によって液晶表示素子を駆動するアクティブマトリクス型液晶素子およびその製造方法に関する。

【0002】

【従来の技術】 従来より、アクティブマトリクス素子に設けた液晶表示素子は、TN液晶を用いる場合に多く応用され、フラットパネルディスプレイとして、あるいは、プロジェクションテレビとして商品化されてきた。薄膜トランジスタ(TFT)やダイオード素子、および、MIM(メタル・インシュレータ・メタル)素子などに代表される上記アクティブマトリクス素子は、そのスイッチング特性により、比較的応答の遅い上記TN液晶に対し実質ライン選択周期より長い間電圧印加状態を保持することにより液晶の光学スイッチ応答を助け、また、上記TN液晶などのようにメモリ性(自己保持性)がない液晶に対して、上記電圧印加状態保持により1フレーム間の実質的メモリ状態をもたらすものである。あるいは、各ライン間、画素間に対して原則的にはクロストークを与えず、良好な表示特性を与える特徴がある。図8は、このようなアクティブマトリクス素子を設けた液晶表示素子であるアクティブマトリクス型液晶素子の構造を示す。

【0003】 図11に、基本的液晶駆動回路を示した。

【0004】 図11に示す駆動回路は、共通電極と各画素電極の間に液晶材料を封入した液晶セル701と画素TFT702とからなる画素部、映像信号配線部(以下、信号配線)703、ラインバッファ部704、シフトパルススイッチ708、水平シフトレジスタ705、ゲート信号配線(以下、ゲート配線)及び、垂直シフトレジスタ706から構成されており、記録信号は、図中707の信号入力端から、タイミングをずらして順次各画素あるいは、各ラインに転送されていく。

【0005】 図12に、従来の画素の平面図を示す(参照「フラットパネル・ディスプレイ'91」)。

【0006】 図12に示す画素は、信号配線801、ゲート配線802、画素TFT803、画素電極804、液晶材料に印加されている電圧を維持するための保持容量805及び、各画素の保持容量に共通の配線である共通配線から構成されている。液晶材料はリーク電流が大きく、蓄積されている電荷の量が時間と共に減少する。そのため、液晶部分の容量に対して大きな保持容量を並列に配置することにより、保持容量から液晶部に電荷を供給し液晶部に印加される電圧を安定させている。図1

2の構造は、共通配線をゲート材と同じ材料あるいはアルミで作る方法と、透明電極で作る方法の2種類がある。このうち、共通配線を透明電極で作る場合の方が、開口部にも保持容量が形成できるので開口率が向上し、明るい透過率の高い液晶表示素子可以实现できる。

【0007】

【発明が解決しようとする課題】パルスの画像信号を画像素子に入力する際、保持容量の共通側の電位をとる配線に抵抗があれば、入力パルスに合わせて共通側の電位も変動する。このため保持容量には本来蓄積されるべき電圧より小さい値の電圧しか蓄積されなくなり、その結果、液晶に保持容量から供給される電圧が低下する。このことが画質の低下をもたらす。保持容量に蓄積される電圧が本来印加されるべき電圧に達するまでの時間は、保持容量の配線の抵抗が大きくなると長くなる。この様な理由で、画質の向上及び、駆動速度の高速化を行うためには保持容量の共通側の配線の抵抗を低く抑える必要がある。

【0008】図12において共通配線をゲート材と同じ材料で作る場合、抵抗が大きくなる。また、配線の抵抗を下げるために共通配線を太くすれば、開口率が下がるという問題が生じる。共通配線をアルミ配線で形成する場合でも、大型の表示パネルの場合、共通配線の距離が長くなることから抵抗が大きくなる。また、各画素における共通配線の抵抗値がパネル上の位置によって変わってくることからシェーディングの原因になるという問題がある。小型パネルの場合には、配線による開口率の減少が問題となってくる。共通配線を透明電極で作る場合、開口率は向上するが、共通配線の抵抗値が大きくなるという問題が起こる。

【0009】又、画素電極とゲートと重なりをもつと、層間絶縁膜にリーク、または短絡が起きる可能性があり、画素電極とゲートには重なりをもたせられなかった。この制約により、画素電極と他の層の間に保持容量を形成する場合、十分な容量がとれない、開口率が減少する等の問題があった。

【0010】この様な理由から、液晶表示素子の高速駆動及び高精細化を達成するためには、開口率を著しく損なうことなく保持容量の共通電極の配線の抵抗を小さくする方法が必要とされている。

【0011】更に、画素トランジスタのドレインと画素電極間のリーク、短絡の可能性を増大させることなく画素電極の面積を大きくするという要望もあった。

【0012】透明画素電極と透明共通電極を用いて保持容量を形成した場合、間に入れる透明容量膜の屈折率が透明電極の屈折率と異なると、多重干渉が生じる。この際、電極や容量膜の膜厚に分布があると色ムラが生じてしまう。

【0013】共通電極が画素ごとに分離されていると信号線やゲート線と画素電極間の寄生容量が大きくなり、

クロストークが発生し、画質を劣化させる。

【0014】

【課題を解決するための手段及び作用】本発明のアクティブマトリクス型液晶表示素子は、保持容量の共通側の電極を、全面もしくは、複数の行及び列にまたがって、共通の配線で形成したことを特徴とする。

【0015】本発明のアクティブマトリクス型液晶表示素子の製造方法は、保持容量の共通側の電極を、全面もしくは、複数の行及び列にまたがって、共通の配線で形成することを特徴とする。

【0016】本発明によれば、開口率を損なうことなく共通配線の低抵抗化が行なえ、更には開口率の向上と保持容量の増大による画素信号の安定性の向上を図ることができる。又、色ムラのない画質の優れた液晶表示素子を実現することができる。

【0017】

【実施例】

【実施例1】図1に本実施例に基づく画素構造の上面図を、図2にA-B間の断面図を示した。これらの図において、101はゲート配線、102は信号配線、103はゲート配線と接続されている画素トランジスタのゲート、104は画素トランジスタの活性層、105は液晶に電圧を印加する第一の透明電極である。信号配線は画素トランジスタのソース側に接続されている。また、第一の透明電極の下には、第一の透明電極105と対になって保持容量を形成するように、画素の全面に第二の透明電極が形成されている。隣あう各画素上の第二の透明電極は相互に接続され、その電位は表示パネルの周囲でVCOMにとられている。第一の透明電極は第二の透明電極に開けられた穴を通して画素トランジスタのドレイン側に接続されている。

【0018】この構造では、順次ゲート配線にゲートがオン状態になる電圧を印加し信号配線に映像信号を入力することにより、ゲートがオン状態になっている画素に映像信号を転送する。

【0019】第二の透明電極は、縦、または横のいずれか一方に直列的につながっているのではなく、全面に存在し、縦横両方向に接続されているため共通電極の配線の抵抗は従来のやり方に比べ低く抑えることができる。また、全面にまたがった共通電極により電氣的シールドが行え、信号配線と画素電極、ゲート配線と画素電極間の寄生容量によるクロストークの発生も防止できる。この構造では保持容量の共通電極と共通電極の配線を一度の工程で形成でき、製造工程の簡略化が行える。さらに、共通電極と共通電極の配線との間にコンタクトの必要がないことから、表面の凹凸を減らすことができる。また、共通電極及びその配線が透明であることから開口率が向上し、明るい、別の見方をすれば光源光量を抑え、消費電力を低減した液晶表示素子可以实现できる。

【0020】【実施例2】前記実施例1では保持容量の

共通配線は保持容量を形成している透明電極で形成されているが、ゲート材と同じ材料で保持容量の共通配線を形成しても同様な効果が期待できる。

【0021】図3に本実施例に基づく画素構造の上面図を、図4にA-B間の断面図を示した。図中、201はPoly-Siからなるゲート配線、202は信号配線、203はゲート配線と接続されている画素トランジスタのゲート、204は画素トランジスタの活性層、205は液晶の透明電極、206は保持容量の共通配線である。画素トランジスタのソース側は信号配線と接続され、ドレイン側は205の透明電極に接続されている。この構造では、206の共通配線の一部と活性層の間に保持容量が形成されている。保持容量の共通電極の配線は複数の行、列にまたがってメッシュ状に構成されており、その電位は表示パネルの周囲でVCOMにとられている。

【0022】この構造では、順次ゲート配線にゲートがオン状態になる電圧を印加し信号配線に映像信号を入力することにより、ゲートがオン状態になっている画素に映像信号を転送する。

【0023】この実施例では、Poly-Siによって、ゲートを形成すると同時に保持容量の電極及びその共通配線を形成するために、製造工程の簡略化が行える。また、保持容量の電極と共通配線の間にコンタクトの必要がなく、表面の凹凸が減少するという利点がある。第一の実施例と同様に、共通電極の配線が一方方向ではなく縦横に隣あった画素と接続されているため、共通配線による開口率の低下は起こるものの、共通電極の配線の抵抗を低く抑えることができる。この実施例では、ゲート配線をPoly-Siによって形成したが、本発明のゲート電極として用いられる材料としては、金属、多結晶シリコン、シリサイド、ポリサイド等があり、具体的にはAl、W、Mo、Ni、Co、Rh、Pt、Pdそのもの、或はこれらのシリサイド、ポリサイドであり、MOSFETの構造、駆動条件などとその仕事関数を考慮して適宜選択される。

【0024】【実施例3】前記実施例2において、共通配線の一部を別の配線に乗り換えても同様な効果が期待できる。

【0025】図5に本実施例に基づく画素構造の上面図を示した。図5中、301はPoly-Siからなるゲート配線、302は信号配線、303はゲート配線と接続されている画素トランジスタのゲート、304は画素トランジスタの活性層、305は液晶の透明電極、306は保持容量の共通配線である。画素トランジスタのソース側は信号配線と接続され、ドレイン側は305の透明電極に接続されている。この構造では、306の共通配線の一部と活性層の間に保持容量が形成されている。保持容量の共通電極の配線は複数の行、列にまたがってメッシュ状に構成されており、その電位は表示パネルの

周囲でVCOMにとられている。また、この配線は部分的にアルミ配線307にのりかえている。

【0026】この構造では、順次ゲート配線にゲートがオン状態になる電圧を印加し信号配線に映像信号を入力することにより、ゲートがオン状態になっている画素に映像信号を転送する。

【0027】この実施例では、Poly-Siから成る共通配線の一部をアルミ配線に乗り換えることにより第二の実施例によって得られる効果の他に、更に共通配線の抵抗が下がるという利点がある。また、この実施例では、ゲート配線をPoly-Siによって形成したが、本発明のゲート電極として用いられる材料としては、金属、多結晶シリコン、シリサイド、ポリサイド等があり、具体的にはAl、W、Mo、Ni、Co、Rh、Pt、Pdそのもの、或はこれらのシリサイド、ポリサイドであり、MOSFETの構造、駆動条件などとその仕事関数を考慮して適宜選択される。この実施例に於ては、共通配線をアルミ配線に乗り換えているが、それ以外の、Poly-Siより抵抗率の低い導電性材料による配線に乗り換えても同様な効果が得られることは言うまでもない。

【0028】【実施例4】また、前記実施例2では保持容量の共通配線をゲート材と同じ材料で形成しているが、活性層で保持容量の共通配線を形成しても同様な効果が期待できる。

【0029】図6に本実施例に基づく画素構造の上面図を、図7にA-B間の断面図を示した。これらの図中、401はゲート配線、402は信号配線、403はゲート配線と接続されている画素トランジスタのゲート、404は画素トランジスタの活性層、405は液晶の透明電極、406はゲート材と同じ材料で形成され、活性層407と対になって保持容量を形成している電極であり、画素トランジスタのソース側は信号配線と接続されている。この構造では、活性層407によって、保持容量の共通配線がなされている。この活性層407は複数の行、列にまたがってメッシュ状に構成されており、その電位は表示パネルの周囲でVCOMにとられている。

【0030】この構造では、順次ゲート配線にゲートがオン状態になる電圧を印加し信号配線に映像信号を入力することにより、ゲートがオン状態になっている画素に映像信号を転送する。

【0031】この実施例では画素トランジスタを形成する活性層と同時に共通配線を形成するために、製造工程の簡略化が行える。また、第二の実施例と同様に、共通電極の配線が一方方向ではなく縦横に隣あった画素と接続されているため、共通配線による開口率の低下は起こるものの、共通電極の配線の抵抗を低く抑えることができる。

【0032】また、第三の実施例でPoly-Si配線

をアルミ配線に乗り換えたのと同様に、この実施例においても活性層配線部の一部を他の導伝性材料によって形成される配線に乗り換えて、共通配線の抵抗をさらに下げることができるのは明らかである。

【0033】【実施例5】第1～第4の実施例では保持容量の共通配線を保持容量の片側の電極を形成している材料と同じ材料で形成したが、保持容量の電極とは別の材料を用いて共通配線を形成しても同様な効果が期待できる。

【0034】図8に本実施例に基づく画素構造の上面図を、図9にA-B間の断面図を示した。これらの図中、501はゲート配線、502は信号配線、503はゲート配線と接続されている画素トランジスタのゲート、504は画素トランジスタの活性層、505は液晶の第一の透明電極、506は第一の透明電極505と対になって保持容量を形成する第2の透明電極、507は保持容量の共通配線である。画素トランジスタのソース側は信号配線と接続され、ドレイン側は505の透明電極に接続されている。第一の透明電極506は共通配線507と接続されている。保持容量の共通配線は複数の行、列にまたがってメッシュ状に構成されており、その電位は表示パネルの周囲でVCOMにとられている。

【0035】この構造では、順次ゲート配線にゲートがオン状態になる電圧を印加し信号配線に映像信号を入力することにより、ゲートがオン状態になっている画素に映像信号を転送する。

【0036】この実施例では実施例3と同様に、共通電極の配線が一方ではなく縦横に隣あった画素と接続されているため、共通電極の配線の抵抗を低く抑えることができる。更にこの構造では、保持容量の両方の電極が透明であることから開口率が向上するという効果も得られる。

【0037】また、実施例3でPoly-Si配線をアルミ配線に乗り換えたのと同様に、この実施例においても活性層配線部の一部を他の導伝性材料によって形成される配線に乗り換えて、共通配線の抵抗をさらに下げることができるのは明らかである。

【0038】【実施例6】実施例1における透明電極105と画素トランジスタのゲートとが重なりあう図13及び図14に示す構造の画素を構成した。

【0039】図13は上面図、図14はA-B間の断面図を示す。

【0040】このような構造とすることにより、画素電極と画素トランジスタの間には透明電極による保持容量の共通配線の層があり、画素電極と画素トランジスタ間のリーク、短絡が起きる可能性を小さくすることができる。

【0041】【実施例7】実施例1における第一の透明電極105と第二の透明電極106の間の容量膜107をプラズマSiN（屈折率2.0）で形成し、図15に

示す構造の画素を構成した。尚、透明電極105、106はITO（屈折率2.0）で形成した。このような構造とすることにより、多重干渉を生じることがなく、膜厚の相違による色むらを防止できる。その結果、画質の優れた液晶表示素子を実現することができる。

【0042】本実施例においては、容量膜107をプラズマSiNで形成したが、本発明の容量膜として用いられる材料としては、例えば酸化シリコン（SiO₂）、酸化窒化シリコン（SiO_xN_{1-x}）、水素化アモルファスSiC（a-SiC:H）、水素化アモルファス炭素（a-C:H）等、透明電極としては酸化スズ（SnO₂）、酸化亜鉛（ZnO）等があり、両者の屈折率を考慮して適宜選択される。

【0043】

【発明の効果】以上説明したように、本発明によれば、高速動作が可能なアクティブマトリクス型液晶ディスプレイを提供することができ、これにより、高精細な直視型フラットディスプレイやプロジェクションディスプレイが形成できる。もちろん、各画素毎にカラーフィルターを設けたり、また、本発明の構造を用いた液晶表示素子を複数個使用し、それぞれに対して、カラー光照射を行うことで、透過型、または、反射型の高精細なフラットカラーテレビあるいはプロジェクションテレビを構成することができる。

【0044】また、保持容量の共通側の電極は全面若しくは複数の行及び列にまたがって共通の配線で形成するので、画素電極の電気的シールドが行え、クロストークが抑制され、画質を向上することができる。

【0045】更に、保持容量を透明性の電極材料で形成することにより、開口率の大きな液晶表示素子を実現することができる。

【0046】特に、保持容量膜を透明容量電極とほぼ同じ屈折率の材料で形成することにより、多重干渉が抑制され、膜厚に分布がある場合にも色ムラの生じない、プロセスマージンの広い液晶表示素子を実現することができる。

【図面の簡単な説明】

【図1】本発明に係わる画素の構造を示す模式図である。

【図2】本発明に係わる画素の構造を示す模式図である。

【図3】本発明に係わる画素の構造を示す模式図である。

【図4】本発明に係わる画素の構造を示す模式図である。

【図5】本発明に係わる画素の構造を示す模式図である。

【図6】本発明に係わる画素の構造を示す模式図である。

【図7】本発明に係わる画素の構造を示す模式図であ

る。

【図8】本発明に係わる画素の構造を示す模式図である。

【図9】本発明に係わる画素の構造を示す模式図である。

【図10】アクティブマトリクス型液晶素子の模式図である。

【図11】アクティブマトリクスの駆動回路図である。

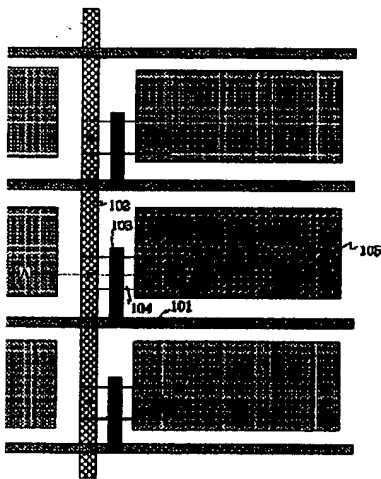
【図12】従来の画素の構造を示す模式図である。

【図13】本発明に係わる画素の構造を示す模式図である。

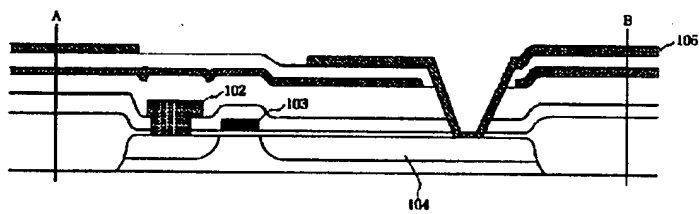
【図14】本発明に係わる画素の構造を示す模式図である。

【図15】本発明に係わる画素の構造を示す模式図である。

【図1】



【図2】

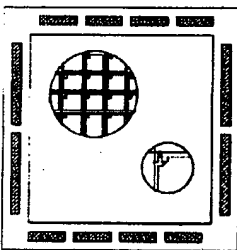


【図3】

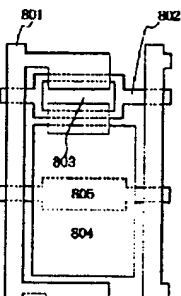
【図6】



【図10】



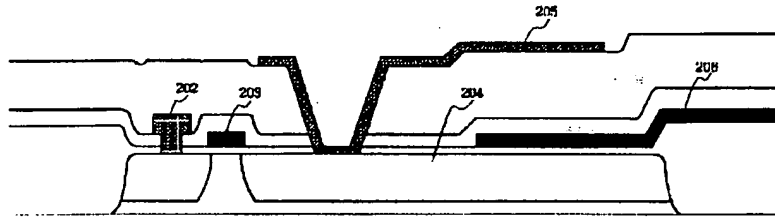
【図12】



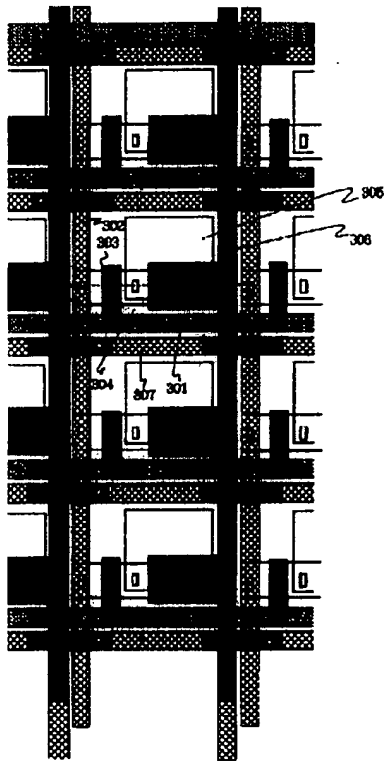
(7)

特開平5-273592

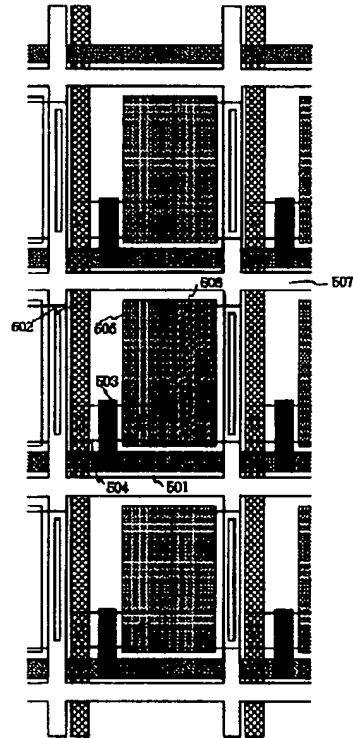
【図4】



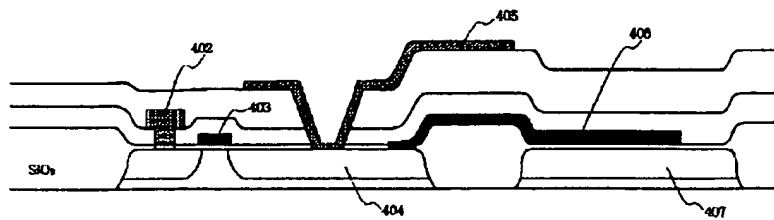
【図5】



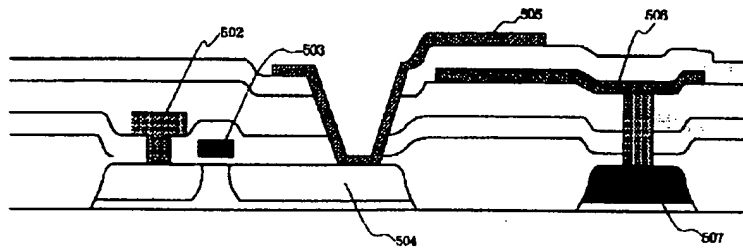
【図8】



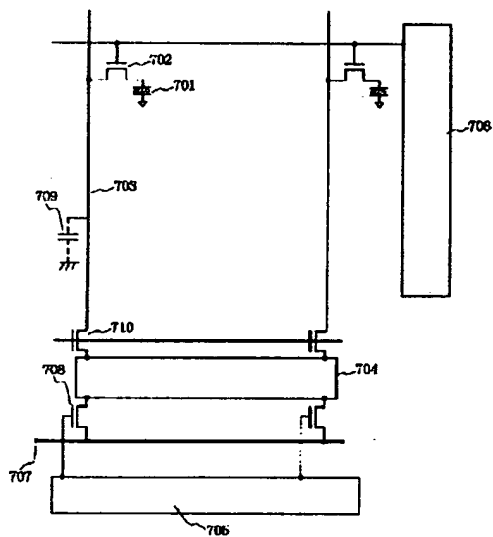
【図7】



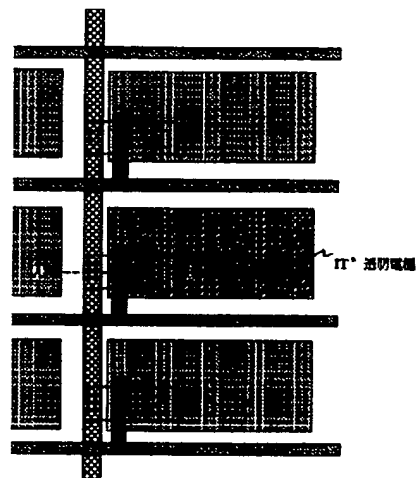
【図9】



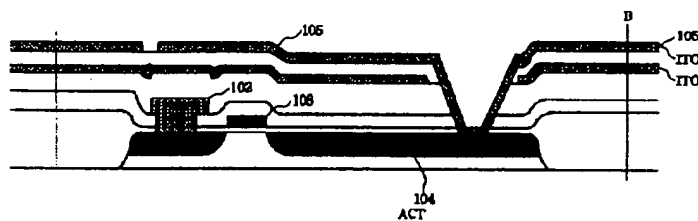
【図11】



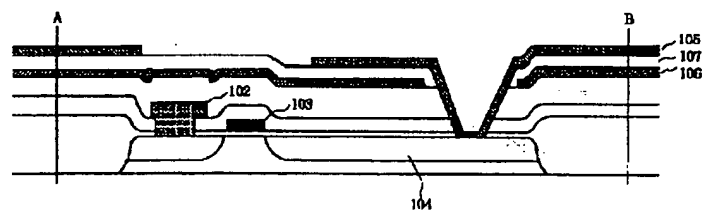
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 近藤 茂樹

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

THIS PAGE BLANK (USPTO)